

بررسی مشخصه‌های الکتریکی و تحلیل حساسیت در ترانزیستور اثر میدان نانو لوله بدون

پیوند

محمد معظمانی^۱، زهرا آهنگری^۱

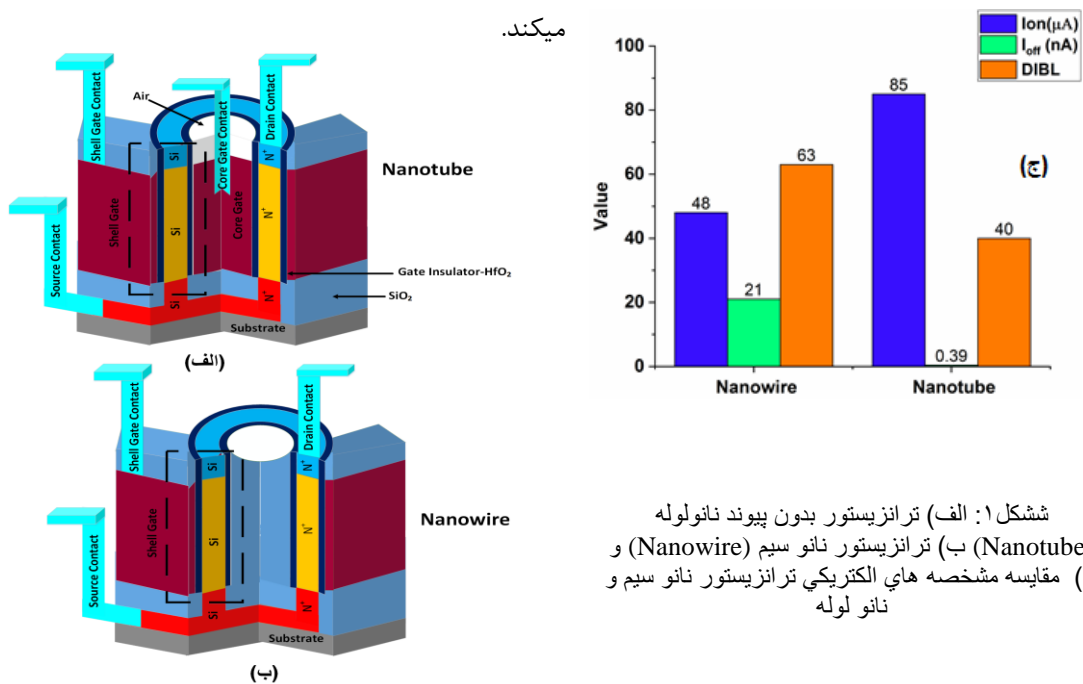
گروه الکترونیک، دانشکده مهندسی برق، دانشگاه آزاد اسلامی واحد یادگار امام خمینی (ره) شهرری

چکیده

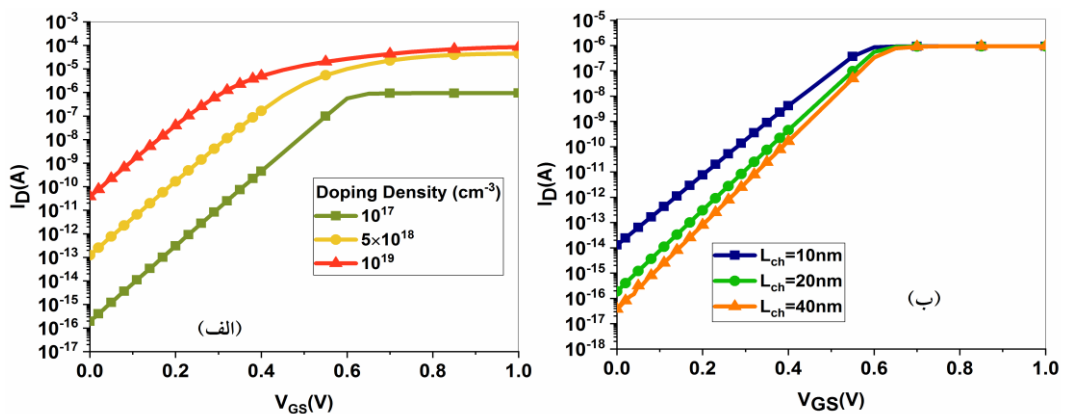
در این مقاله مشخصه های الکتریکی ترانزیستور نانولوله بدون پیوند سیلیسیومی (دارای گیت داخلی و خارجی) مورد شبیه سازی و مطالعه قرار گرفته است. به دلیل افزایش کنترل گیت بر کانال، این افزاره دارای جریان حالت خاموش پایینتر و عملکرد بهتری نسبت به ساختار بدون پیوند نانوسیم با یک گیت خارجی می باشد. اثر متغیرهای ساختاری و فیزیکی بر عملکرد افزاره مورد بررسی قرار گرفته است و با محاسبه انحراف معیار و میانگین جریان حالت خاموش، جریان حالت روشن و ولتاژ آستانه، حساسیت مشخصه های الکتریکی نسبت به پارامترهای ساختاری و فیزیکی افزاره تبیین گردیده است. نتایج نشان می دهند که تابع کار گیت و آلایش کانال از مهمترین متغیرهای ساختاری افزاره هستند و لازم است مقدار بهینه ای برای آنها تعیین گردد.

در حال حاضر تکنولوژی به سمت کاهش ابعاد ترانزیستور های اثر میدان فلز-اکسید-نیمه هادی پیش می رود. در کنار مزایای کاهش ابعاد افزاره، مشکلاتی نظیر آثار کانال کوتاه در ابعاد نانو ایجاد می گردد که موجب افزایش جریان نشتی و افزایش توان مصرفی می گردد. یکی دیگر از مشکلات افزاره در ابعاد نانو، وجود تونل زنی مستقیم از سورس به درین به دلیل وجود ناحیه تخلیه شده ناشی از پیوند pn در فصل مشترک سورس/درین با کانال می باشد. برای رفع این مشکل ایده ترانزیستور بدون پیوند مطرح گردیده است که دارای آلایش یکسان در سورس، درین و کانال افزاره می باشد [۱-۲]. جهت افزایش کنترل گیت بر کانال، ساختار جدیدی تحت عنوان نانولوله ارائه گردیده است که در آن علاوه بر گیت خارجی که اطراف ترانزیستور را در بر گرفته است، یک گیت داخلی نیز در اطراف کانال قرار گرفته است که این امر موجب افزایش مضاعف کنترل گیت بر کانال می گردد [۳-۴]. در این تحقیق از هر دو مزایای ترانزیستور بدون پیوند و ترانزیستور نانولوله استفاده گردیده است و اثر پارامترهای ساختاری و فیزیکی بر عملکرد این افزاره به طور کامل مورد بررسی قرار گرفته است. شکل ۱-الف ساختار ترانزیستور نانولوله بدون پیوند و شکل ۱-ب ساختار ترانزیستور نانوسیم بدون پیوند را نشان می دهد. افزاره های مورد بررسی توسط نرم افزار ATLAS و به صورت سه بعدی مورد مطالعه قرار گرفته است. برای انجام شبیه سازی مدلهای زیر در نظر گرفته شده است: ۱- مدل رانش و نفوذ که ساز و کار اصلی جریان در ترانزیستور اثر میدانی است. ۲- مدل مربوط به اثر میدان الکتریکی گیت و درین بر قابلیت حرکت حاملها. ۳- مدل مربوط به اثر تراکم ناخالصی بر قابلیت حرکت حاملها. ۴- مدل مربوط به اثر کوانتومی خصوصا وقتی قطر نانوسیم به کمتر از ۵nm میرسد. ۵- مدل مربوط به اثر کاهش شکاف انرژی به دلیل افزایش تراکم ناخالصی نیمه هادی. در این افزاره سیلیسیومی، طول کانال برابر ۲۰ نانومتر، آلایش سورس، درین و کانال برابر 10^{19} cm^{-3} ، تابع کار گیت برابر ۴.۸eV و شعاع نانولوله برابر ۱۰nm می باشد. ضخامت عایق گیت برابر ۲nm می باشد. عملکرد ترانزیستور اثر میدان نانو لوله بدون پیوند براساس اختلاف تابع کار گیت و کانال می باشد. در حالت خاموش تراکم حاملها در کانال

کاهش یافته و عرض ناحیه تخلیه شده در کانال افزایش می‌یابد. با افزایش ولتاژ گیت، عرض ناحیه تخلیه شده کاهش یافته و حاملها از سورس به درین جریان می‌یابند. شکل ۱-ج نتایج مربوط به مشخصه‌های الکتریکی دو ساختار نانوسیم و نانولوله را به ازای ولتاژ درین برابر $V_{DS}=1V$ مورد مقایسه قرار داده است. همانگونه که مشاهده می‌گردد، به دلیل افزایش کنترل گیت بر کانال، افزاره نانولوله دارای جریان حالت خاموش کمتری نسبت به افزاره نانوسیم می‌باشد. همانگونه که مشاهده می‌گردد، ترانزیستور نانولوله دارای جریان حالت روشن بیشتر، جریان حالت خاموش کمتر و اثر DIBL کمتری است که این امر بکارگیری افزاره در ابعاد نانو را تسهیل میکند. شکل ۲-الف اثر تغییر آرایش نیمه هادی را در ترانزیستور نانولوله نشان میدهد. همانگونه که مشاهده می‌گردد، با افزایش تراکم حاملهای اکثریت، جریان حالت روشن افزایش مییابد. به دلیل افزایش کنترل گیت بر کانال، با وجود افزایش تراکم ناخالصی، جریان حالت خاموش افزایش زیادی پیدا نکرده است و همچنان کمتر از $1nA$ است. شکل ۲-ب اثر تغییر طول کانال را بر مشخصه الکتریکی ترانزیستور نانولوله بدون پیوند نشان میدهد. همانگونه که مشاهده می‌گردد، به دلیل افزایش کنترل گیت بر کانال، با کاهش طول کانال حالت خاموش تغییر زیادی ندارد که این امر بکارگیری افزاره در ابعاد نانو را تسهیل میکند.



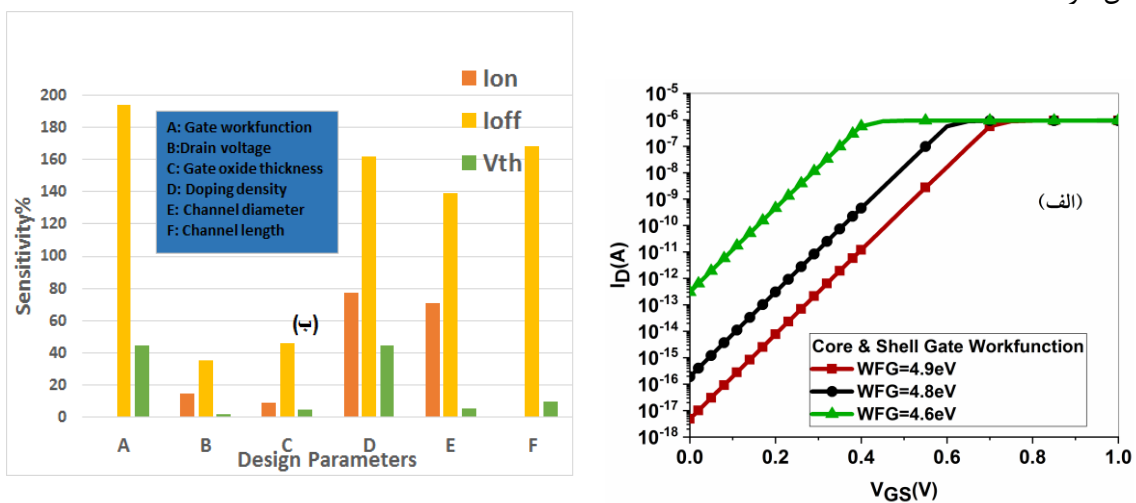
شکل ۱: الف) ترانزیستور بدون پیوند نانولوله
 ب) ترانزیستور نانو سیم (Nanowire) و
 ج) مقایسه مشخصه های الکتریکی ترانزیستور نانو سیم و
 نانو لوله



شکل ۲: مشخصه الکتریکی ترانزیستور نانولوله به ازای الف) تغییر آرایش کانال ب) به ازای تغییر طول کانال

شکل ۳-الف اثر تابع کار گیت را بر عملکرد افزاره نشان میدهد. با افزایش تابع کار گیت، تراکم الکترونها در کانال کاهش یافته که این امر موجب کاهش جریان حالت خاموش می‌گردد. از طرفی، با افزایش اختلاف تابع کار گیت و

کانال، ولتاژ آستانه افزاره افزایش مییابد. لذا برای عملکرد بهینه افزاره لازم است مقدار بهینه‌ای برای تابع کار گیت تعیین گردد. شکل ۳-ب نمودار حساسیت پارامترهای الکتریکی مهم افزاره نانولوله را به ازای تغییرات مهم پارامترهای ساختاری و فیزیکی افزاره نشان میدهد. حساسیت برای هر پارامتر الکتریکی به صورت نسبت انحراف معیار به میانگین محاسبه میگردد. در ابتدا همه پارامترهای ساختاری به جز یک پارامتر ثابت در نظر گرفت شده است و انحراف از معیار و میانگین هر یک از پارامترهای مربوط به مشخصه الکتریکی افزاره محاسبه گردیده است. براساس نتایج بدست آمده، تابع کار گیت، آرایش کانال و قطر نانوسیم نقش بسیار مهمی در جریان حالت خاموش افزاره دارند که لازم است مقدار بهینه‌ای برای این پارامترها تعیین گردد. از ویژگی مهم این افزاره، پایین بودن حساسیت جریان حالت خاموش به ولتاژ درین است که این امر بکارگیری افزاره در ابعاد نانو را تسهیل میکند. همچنین آرایش کانال و قطر نانولوله نقش بسیار مهمی در جریان حالت روشن افزاره دارند. آرایش کانال میزان حاملهای شرکت کننده در جریان افزاره را تعیین مینماید. همچنین، قطر نانولوله بر میزان عرض ناحیه تخلیه شده در کانال و تراکم حاملهای شرکت کننده در جریان نقش دارد.



شکل ۳: الف) منحنی مشخصه الکتریکی ترانزیستور نانو لوله برحسب تغییرات تابع کار گیت ب) نمودار حساسیت مشخصه های مهم الکتریکی

نتیجه گیری:

در این مقاله عملکرد ترانزیستور نانولوله بدون پیون مورد بررسی قرار گرفت. براساس نتایج شبیه سازی، به دلیل افزایش کنترل گیت بهتر در افزاره نانولوله نسبت به افزاره نانوسیم، این افزاره گزینه مناسبی برای کاربرد در ابعاد نانو می باشد. تابع کار گیت و آرایش کانال نقش مهمی در عملکرد افزاره دارند و لازم است مقدار بهینه‌ای برای آنها تعیین گردد.

مرجع ها

1. Xie, Q., Wang, Z. and Taur, Y., 2017. Analysis of short-channel effects in junctionless DG MOSFETs. *IEEE Transactions on Electron Devices*, **64**(8), pp.3511-3514.
2. Jaiswal, N. and Kranti, A., 2018. Modeling short-channel effects in asymmetric junctionless MOSFETs with underlap. *IEEE Transactions on Electron Devices*, **65**(9), pp.3669-3675.
3. He, J., Zhang, X., Chan, M., Wu, W., Zhao, W., Wang, W., He, P. and Song, L., 2016. A Physics Based Analytic Model for Gate All Around MOSFETs with SiO₂-Core Si-Shell Architecture. *Journal of Computational and Theoretical Nanoscience*, **13**(8), pp.4866-4871.
4. Kumar, N., Mushtaq, U., Amin, S.I. and Anand, S., 2019. Design and performance analysis of dual-gate all around core-shell nanotube TFET. *Superlattices and Microstructures*, **125**, pp.356-364.